

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les commandes de reproduction)

2 536 922

B4

(21) N° d'enregistrement national :

82 19922

(51) Int Cl<sup>3</sup> : H 03 K 5/22; H 03 H 15/00; H 03 K 19/23.

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 26 novembre 1982.

(30) Priorité

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 22 du 1<sup>er</sup> juin 1984.

(60) Références à d'autres documents nationaux apparentés :

(54) Comparateur logique à plusieurs fonctions.

(57) L'invention concerne un nouveau comparateur logique particulièrement adapté à la réalisation de fonctions de comparaison simples (par exemple détermination d'une majorité de niveaux 0 ou 1 dans un ensemble), et aussi adapté aux circuits mettant en œuvre à la fois des signaux logiques et des signaux analogiques. Ce comparateur comprend un amplificateur A à grand gain, des capacités d'entrée CE1 à CE4 de valeurs pondérées de préférence selon un code binaire, une capacité de comparaison CC1 et des moyens de commutation pour appliquer dans une première phase b un premier niveau logique VSS aux capacités d'entrée et un deuxième niveau VDD à la capacité de comparaison, et dans une deuxième phase c des niveaux logiques quelconques aux capacités d'entrée et une tension VC1 différente du deuxième niveau VDD à la capacité de comparaison.

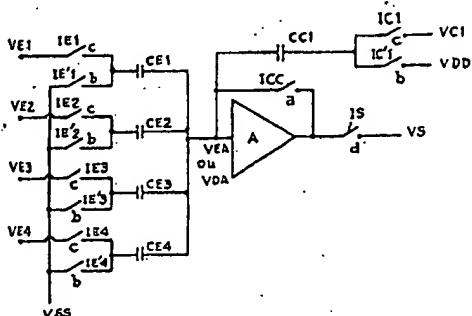
On peut utiliser ce comparateur pour le filtrage numérique en appliquant comme niveaux d'entrée les sorties d'un registre à décalage.

(71) Demandeur(s) : SOCIETE POUR L'ETUDE ET LA FABRICATION DES CIRCUITS INTEGRES SPECIAUX — E.F.C.I.S., société anonyme. — FR.

(72) Inventeur(s) : François Druilhe.

(73) Titulaire(s) :

(74) Mandataire(s) : P. Guiguet.



FR 2 536 922 - A1

D

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

BEST AVAILABLE COPY

## COMPARATEUR LOGIQUE A PLUSIEURS FONCTIONS.

La présente invention concerne les comparateurs et elle a pour but de proposer un circuit électrique particulièrement simple pour réaliser une grande variété de fonctions de comparaison logiques.

5 Un des inconvénients des circuits existants est en effet le fait que certaines fonctions de comparaison extrêmement simples ne peuvent être réalisées que par des circuits complexes à grand nombre d'éléments, et que de plus des circuits différents doivent être utilisés pour des fonctions de comparaison différentes.

10 A titre d'exemple, il arrive qu'on ait besoin, dans des circuits logiques, de déterminer si parmi  $2n+1$  signaux logiques, une majorité ou une minorité (soit plus ou moins de  $n$ ) est à un état logique déterminé. Cette détermination est faite actuellement par décodage à l'aide de réseaux logiques programmables qui comportent un nombre de portes logiques d'autant plus élevé que  $n$  est plus grand, et surtout croissant beaucoup plus rapidement que  $n$ .

Le circuit selon l'invention permet de réduire ce nombre dans des proportions considérables, en le rendant pratiquement proportionnel à  $n$ .

15 20 Il vise également à établir des comparaisons en utilisant un amplificateur à grand gain, comme cela est habituel, mais en éliminant les erreurs susceptibles d'être introduites par la tension de décalage à l'entrée de cet amplificateur.

Pour résoudre ces divers problèmes, la présente invention propose un comparateur recevant plusieurs signaux logiques 25 d'entrée pour indiquer si la somme, pondérée ou non, de ces signaux est supérieure ou inférieure à une valeur de comparaison, ce comparateur comprenant :

- un amplificateur inverseur à gain important ;
- $N$  capacités d'entrée ayant chacune une première armature reliée à l'entrée de l'amplificateur ;
- au moins une capacité de comparaison ayant également

une première armature reliée à l'entrée de l'amplificateur ;

- des moyens de commutation et un circuit logique de commande de ces moyens, fonctionnant selon essentiellement deux phases d'horloge pour effectuer les commutations suivantes :

5 a) dans une première phase, les N capacités d'entrée ont toutes leurs secondes armatures reliées à un premier niveau logique de référence et la capacité de comparaison a sa seconde armature reliée à un second niveau logique de référence différent du premier ;

10 b) dans une deuxième phase, les secondes armatures des N capacités d'entrée reçoivent les signaux logiques d'entrée ; la seconde armature de la capacité de comparaison est reliée à un potentiel qui dépend de la fonction de comparaison à réaliser par le comparateur ;

15 c) à l'intérieur de l'une des deux phases seulement, l'amplificateur est bouclé par un court-circuit entre son entrée et sa sortie ; c'est cette phase qui constitue alors la phase initiale et l'autre la phase finale ; les termes "première" phase et "seconde" phase, employés ci-dessus et dans le reste de la 20 description et les revendications, n'impliquent pas un ordre chronologique déterminé des deux phases et ne sont qu'une commodité de langage pour désigner sans périphrase l'une ou l'autre des phases de commutation.

Trois types de choix peuvent essentiellement être 25 effectués pour définir la nature de la fonction de comparaison réalisée par le comparateur selon l'invention. Les combinaisons de ces divers choix définissent les fonctions réalisées.

Le premier choix est le choix du nombre de capacités de comparaison : il y en a au moins une, mais il peut y en avoir plusieurs, recevant lors de la deuxième phase des signaux logiques indépendants les uns des autres, signaux dont la combinaison forme 30 l'un des termes de la comparaison à effectuer.

Le deuxième choix est le choix de la valeur des capacités d'entrée : elles peuvent être toutes ou presque toutes 35 égales, ou encore être pondérées, notamment selon un code binaire, ou selon des coefficients quelconques. Ce choix s'applique aussi

aux capacités de comparaison lorsqu'il y en a plusieurs.

Le troisième choix est le choix des tensions appliquées aux capacités de comparaison : ces tensions peuvent être des niveaux logiques pour réaliser des fonctions de comparaison logique, ou encore des tensions analogiques quelconques pour réaliser des fonctions de comparaison mixtes c'est à dire mélangeant des signaux logiques et des valeurs de comparaison analogiques.

En effet, un des avantages importants de l'invention est de pouvoir faire ce genre de comparaison mixte, par exemple une comparaison d'un nombre binaire à une quantité variable définie à partir d'un signal analogique.

Des exemples détaillés seront donnés dans la suite de la description.

Outre les fonctions de comparaison que l'on peut ainsi réaliser, on verra que le comparateur selon l'invention peut aussi être utilisé comme élément essentiel de certains types de cellules de filtrage numérique.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente le schéma de base du circuit selon l'invention ;
- la figure 2 représente un diagramme temporel des phases de commutation périodiques des moyens de commutation ;
- la figure 3 représente un autre diagramme temporel possible dans lequel la deuxième phase apparaît chronologiquement avant la première ;
- la figure 4 représente un exemple de réalisation du comparateur pour une fonction de comparaison d'un nombre binaire avec une valeur donnée ;
- la figure 5 représente un exemple de réalisation pour une comparaison de deux nombres binaires ;
- la figure 6 représente un exemple de circuit où le comparateur selon l'invention constitue l'élément essentiel d'une cellule de filtrage antirebondissement.

Le comparateur représenté à la figure 1 comporte un

amplificateur inverseur A, N capacités d'entrée (ici quatre capacités CE1, CE2, CE3, CE4 ont été représentées), une capacité de comparaison CCl, des moyens de commutation (interrupteurs IE1 à IE4, IE'1 à IE'4, IC1, IC'1, ICC, IS qui sont par exemple chacun constitué par un transistor à effet de champ à grille isolée), et un circuit de commande de ces moyens de commutation.

Le circuit de commande des moyens de commutation n'est pas représenté car cela alourdirait considérablement le schéma. Il a pour fonction de commander la fermeture et l'ouverture des interrupteurs pendant des phases bien déterminées d'un cycle périodique. La réalisation d'un tel circuit est à la portée de tout homme du métier lorsque les phases ont été spécifiées pour chaque moyen de commutation (interrupteur ou porte logique).

Les capacités d'entrée CE1 à CE4 et la capacité de comparaison CCl ont toutes une première armature reliée à l'entrée de l'amplificateur inverseur A. La deuxième armature de la capacité d'entrée CE1 peut recevoir à travers l'interrupteur IE1 une tension d'entrée VE1 ou, à travers l'interrupteur IE'1, un premier niveau logique de référence VSS. De même, les capacités CE2, CE3, CE4 reçoivent respectivement à travers des interrupteurs IE2 ou IE'2, IE3 ou IE'3, IE4 ou IE'4, soit des tensions d'entrée respectives VE2, VE3, VE4, soit le premier niveau logique de référence VSS.

VSS peut être une tension d'alimentation inférieure de l'ensemble du circuit.

La seconde armature de la capacité de comparaison CCl peut être reliée par l'interrupteur IC1 à une tension de comparaison VCI ou par l'interrupteur IC'1 à un second potentiel de référence VDD différent du premier potentiel de référence VSS. VDD peut être une tension d'alimentation supérieure de l'ensemble du circuit. On pourrait choisir aussi bien l'inverse, à savoir une tension d'alimentation supérieure pour le premier potentiel de référence et inférieure pour le second. Le signe de la tension de sortie du comparateur en serait inversé.

Les tensions d'entrée VE1, VE2, VE3, VE4 sont des niveaux logiques 0 ou 1 c'est à dire qu'elles correspondent cha-

cune soit à VSS (par exemple pour un niveau logique 0) soit à VDD (par exemple pour un niveau 1).

La sortie de l'amplificateur A est reliée à la sortie du circuit de comparaison par l'interrupteur IS.

5 L'amplificateur peut être bouclé en court-circuit entre sa sortie et son entrée inverseuse par l'interrupteur ICC.

Le circuit de commande de commutation fonctionne cycliquement avec une période T et essentiellement selon deux phases, à savoir une phase b de fermeture des interrupteurs IE'1 à IE'4 et 10 IC'1, et une phase c de fermeture des interrupteurs IE1 à IE4 et ICl.

L'interrupteur ICC est fermé au cours de l'une de ces phases qui est alors la phase initiale de fonctionnement, et l'interrupteur IS pendant l'autre qui est alors la phase finale.

15 Toutefois, on a désigné par a la phase de fermeture de l'interrupteur ICC car cette phase est légèrement différente de la phase b (ou c) en ce sens qu'elle doit se terminer légèrement avant la fin de la phase b (ou c). De même, la phase d de fermeture de l'interrupteur IS se situe à l'intérieur de la phase c (ou b) mais de préférence vers la fin de celle-ci plutôt que sur sa totalité. Cependant, pour l'essentiel, le dispositif fonctionne en deux phases disjointes qui sont les phases b et c.

Sur la figure 2, on a représenté ces phases de fermeture a, b, c, d, sous forme de crénaux temporels à un niveau logique haut. Sur la figure 1 comme sur les autres figures représentant des circuits, on a indiqué à côté de chaque interrupteur la phase pendant laquelle cet interrupteur est fermé.

Dans l'exemple de la figure 2, le bouclage de l'amplificateur en court-circuit (phase a) se fait en même temps 30 que la phase b de connexion des capacités d'entrée à un potentiel de référence VSS ; mais la phase a pourrait aussi bien coïncider avec la phase c, inversant alors le résultat de la comparaison. La figure 3 montre les diagrammes temporels de phase lorsque la phase a coïncide avec la deuxième phase c et non la première phase b. On 35 notera que la phase b et la phase c peuvent être exactement complémentaires, ou séparées comme sur les figures 2 et 3.

Si on appelle VDA la tension d'entrée de l'amplificateur lorsqu'il est bouclé en court-circuit sur lui-même, VDA représente la tension de décalage d'entrée ou la tension de basculement de l'amplificateur ; autrement dit, l'amplificateur ayant un gain important, si on lui applique une tension d'entrée VEA lorsqu'il n'est plus bouclé par un court-circuit, sa tension de sortie basculera à un premier niveau ou à un deuxième niveau de sortie (en saturation) selon que VEA est supérieur ou inférieur à VDA, donc selon le signe de VEA-VDA.

10 Dans l'exemple correspondant au diagramme temporel de la figure 2, on peut écrire que :

- durant la phase a, l'amplificateur est bouclé, sa tension d'entrée est la tension de décalage VDA. Les capacités d'entrée prennent des charges respectives CE1 (VDA - VSS), 15 CE2 (VDA - VSS), CE3 (VDA - VSS), CE4 (VDA - VSS) ; la capacité de comparaison CC1 prend une charge CC1 (VDA - VDD) ;

- dès que la phase a se termine, la somme de toutes ces charges reste stockée sur les armatures des capacités reliées à l'entrée de l'amplificateur ; celui-ci présente en effet une 20 impédance d'entrée très élevée empêchant l'évacuation de ces charges une fois que le court-circuit établi par l'interrupteur ICC a été supprimé ;

- durant la phase c, des tensions VE1, VE2, VE3, VE4 sont appliquées aux capacités CE1 à CE4 respectivement et une tension VC1 est appliquée à la capacité CC1. On calcule quelle tension VEA apparaît à l'entrée de l'amplificateur pour voir le signe de VEA - VDA et donc le sens de basculement de l'amplificateur. Les capacités CE1 à CE4 prennent des charges respectives 25 CE1 (VEA - VE1) ; CE2 (VEA - VE2) ; CE3 (VEA - VE3) ; CE4 (VEA - VE4) ; la capacité CC1 prend une charge CC1 (VEA-VC1).

La somme de ces charges doit être égale à la somme des charges précédemment stockées car celles-ci n'ont pu s'écouler.

L'écriture de cette égalité fait apparaître l'équation suivante :

$$35 \quad (VEA - VDA) (CC1 + CE1 + CE2 + CE3 + CE4) = \\ CE1(VE1-VSS)+CE2(VE2-VSS)+CE3(VE3-VSS)+CE4(VE4-VSS)-CC1(VDD-VC1)$$

Comme les tensions d'entrée VE1 à VE4 sont égales soit à VSS soit à VDD, on voit que le signe de VEA-VDA, donc le sens de basculement du comparateur, est déterminé par la comparaison d'une somme pondérée des niveaux logiques d'entrée VE1, VE2, VE3, VE4, 5 les coefficients de pondération étant les valeurs des capacités d'entrée, et d'un terme qui est CCI(VDD-VCl).

Par conséquent, le comparateur selon l'invention effectue une comparaison d'un nombre binaire d'entrée (ici un nombre à quatre chiffres dont les poids sont les rapports entre les 10 capacités d'entrée) avec un terme CCI (VDD-VCl).

- durant la phase d, vers la fin de la phase c, l'interrupteur IS applique la tension de sortie de l'amplificateur à la sortie du circuit et fournit une tension VS définissant de manière logique le sens de basculement de l'amplificateur.

15 Comme on le voit sur l'équation précédente, le sens de basculement n'est pas affecté par l'existence d'une tension de décalage non nulle VDA à l'entrée de l'amplificateur.

On notera, sans y revenir, que si la phase a coïncidait avec la phase c et non la phase b (la phase d de lecture de l'état 20 de l'amplificateur se situant alors durant la phase b), le résultat quantitatif serait exactement le même avec une inversion de signe donc du sens de basculement du comparateur pour la même comparaison effectuée.

La tension VCl appliquée à la capacité CCI dans la 25 deuxième phase c peut justement être le premier potentiel de référence VSS.

Le nombre binaire d'entrée est donc comparé à une valeur fixe CCI(VDD-VSS).

Si au contraire VCl est quelconque, on peut faire varier 30 le second terme de la comparaison en faisant varier VCl.

VCl étant supposé égal à VSS, les capacités d'entrée peuvent être toutes égales.

On suppose qu'il y a N capacités d'entrée de valeur Ce. On peut alors choisir la valeur de la capacité de comparaison CCI 35 telle que le résultat de la comparaison indique si plus ou moins de m capacités d'entrée parmi les N ont reçu une tension VDD

durant la deuxième phase c.

En effet, le sens de basculement de l'amplificateur dépend alors du signe de la différence entre la somme des valeurs des capacités recevant VDD à la deuxième phase et la valeur de la 5 capacité CCl. On choisit CCl compris entre mCe et (m+1)Ce, par exemple  $CCl = (m+0,5)Ce$ , auquel cas l'amplificateur basculera franchement dans un sens ou dans un autre selon que

- m ou moins de m capacités d'entrée ont été portées à VDD lors de la deuxième phase,

10. - plus de m capacités d'entrée ont été portées à VDD.

Si on prévoit un nombre impair N = 2n+1 de capacités d'entrée, toutes de même valeur et si on choisit justement m = n donc CCl = (n+0,5)Ce, soit une capacité de comparaison égale à la demi-somme des capacités d'entrée, le comparateur basculera dans 15 un sens où dans l'autre selon qu'une majorité ou une minorité de capacités d'entrée auront été portées au deuxième niveau logique de référence VDD.

Dans une variante de réalisation, on applique sur l'une des capacités d'entrée, lors de la deuxième phase, une tension 20 issue d'une bascule recevant comme entrée la sortie du comparateur. Cette tension modifie l'un des termes de la comparaison en fonction de la sortie précédente du comparateur, de sorte qu'on crée une hystérésis : le comparateur bascule dans un sens pour une certaine combinaison de niveaux logiques d'entrée mais rebascule 25 dans l'autre sens pour une autre combinaison différente de la première.

En supposant toujours que la tension VC1 appliquée à la capacité de comparaison CCl durant la deuxième phase c est égale à VSS, on peut pondérer les valeurs des capacités binaires selon 30 différents codes binaires possibles. Par exemple, sur le schéma de la figure 4, les capacités d'entrée ont pour valeur  $CE1 = Co$ ,  $CE2 = 2Co$ ,  $CE3 = 4Co$ ,  $CE4 = 8Co$  (pondération binaire pure), et un nombre binaire pur est appliqué à l'entrée sous forme d'un choix entre des niveaux logiques VSS ou VDD lors de la 35 deuxième phase c.

La capacité CCl a une valeur choisie entre deux

multiples consécutifs  $kCo$  et  $(k+1)Co$  de  $Co$  (capacité de plus faible poids), par exemple  $CC1 = (k+0,5)Co$  où  $k$  est un entier.

Le sens du basculement du comparateur correspondra à une indication que le nombre binaire appliqué à l'entrée est strictement supérieur à  $k$  ou alors qu'il est inférieur ou égal à  $k$ .

Il s'agit donc d'une fonction de comparaison entre un nombre binaire quelconque et un nombre prédéterminé défini par la valeur de la capacité  $CC1$ .

On peut inverser le sens de basculement du comparateur soit en changeant le diagramme temporel des phases (passage de la figure 2 à la figure 3 ou réciproquement), soit en remplaçant le premier niveau logique de référence par le deuxième et réciproquement.

La figure 4 montre un exemple de mise en œuvre de cette comparaison binaire : le nombre binaire est appliqué à travers des portes logiques (ET) au moment de la deuxième phase c. Chaque porte ET applique alors à sa sortie une tension VSS ou VDD selon qu'elle est ouverte ou fermée donc selon le chiffre binaire appliquée à son entrée. Cette tension de sortie est égale à VSS en dehors de la phase c, les portes étant fermées.

Dans cet exemple, on a prévu pour simplifier que la phase b est exactement complémentaire de la phase c ; c'est pourquoi la phase b n'apparaît pas sur la figure 4 ; cependant, il faut toujours prévoir que la phase a se termine strictement avant la fin de la phase b.

La capacité de comparaison  $CC1$  est quant à elle reliée à la sortie d'un inverseur commandé par la phase c, cet inverseur fournissant à sa sortie une tension VSS pendant la phase c et VDD en dehors donc pendant la phase b. Sur la figure 4, le nombre binaire 1101 est comparé à un nombre  $k$ .

Les moyens de commutation comprennent ici simplement les interrupteurs  $ICC$ ,  $IS$ ,  $p$  portes logiques à deux entrées (pour un nombre binaire à  $p$  chiffres) et un inverseur, les portes et l'inverseur étant commandés par un signal périodique de phase c.

Si le nombre binaire était un nombre signé codé selon la convention dite "complément à deux", il faudrait appliquer le bit

de signe inversé pendant la phase c à une capacité supplémentaire de comparaison de poids correspondant au poids le plus élevé du nombre.

On peut également, grâce au circuit de l'invention comparer deux nombres binaires, éventuellement de codes de pondération différents.

Le schéma correspondant est représenté à la figure 5.

Pour ce qui concerne les capacités d'entrée et les moyens de commutation qui leur correspondent (portes ET), le schéma est rigoureusement identique à celui de la figure 4.

Mais, la capacité de comparaison CC1 n'est plus unique : plusieurs capacités de comparaison supplémentaires CC2, CC3, CC4, CC5 sont prévues, chacune ayant une armature reliée à l'entrée de l'amplificateur A. L'autre armature est reliée au deuxième niveau logique de référence VDD dans la phase b et peut être reliée dans la phase c soit à VDD soit à VSS.

A cet effet, la seconde armature de chaque capacité de comparaison CC2 à CC5 est reliée à la sortie d'une porte NON-ET respective ayant une entrée commandée par la phase c et une autre entrée recevant un niveau logique binaire 0 ou 1 indiquant si la capacité correspondante doit être portée à VDD ou VSS. L'ensemble de ces niveaux logiques constitue un nombre binaire à comparer avec un autre nombre binaire appliqué aux capacités d'entrée comme à la figure 4.

Les capacités de comparaison supplémentaires CC2, CC3, CC4, CC5 sont pondérées selon un code binaire qui peut être le même que celui des capacités d'entrée ; ici on aurait CC2 = C0, CC3 = 2C0, CC4 = 4C0, CC5 = 8C0, la valeur de capacité unitaire de base C0 étant la même que pour les capacités d'entrée.

La capacité de comparaison CC1 a quant à elle une valeur comprise entre 0 et C0, de préférence environ C0/2, pour assurer un basculement franc du comparateur dans un sens ou dans l'autre selon que le nombre binaire appliqué aux capacités d'entrée est supérieur ou inférieur au nombre binaire appliqué aux capacités de comparaison supplémentaires, sans risque d'incertitude si les deux nombres sont égaux.

La capacité CCl a sa seconde armature reliée à la sortie d'un inverseur commandé par la phase c, de sorte qu'elle reçoit le premier niveau logique VSS durant la phase c et le second niveau VDD en dehors de la phase c.

5 Si les nombres binaires à comparer sont signés, les bits de signes doivent être inversés et interchangés, c'est à dire que le bit de signe inversé du nombre d'entrée doit être appliqué à une capacité de comparaison et réciproquement le bit de signe inversé du nombre de comparaison à une capacité d'entrée.

10 L'obtention d'une hystérésis dans cette comparaison binaire peut se faire exactement de la manière indiquée précédemment.

Les pondérations des capacités d'entrée et de comparaison peuvent être différentes. On peut prévoir aussi que les 15 capacités d'entrée et/ou de pondération ne sont pas pondérées et sont toutes égales à  $C_0$  (CCl étant égal à 0,5  $C_0$  par exemple), pour comparer un nombre de niveaux logiques "1" (ou "0") à un autre nombre de niveaux logiques "1" (ou "0").

Dans le schéma représenté à la figure 6, le comparateur 20 fonctionne de manière logique selon le schéma de la figure 4 mais avec des capacités d'entrée toutes égales à  $C_0$ .

Les niveaux d'entrée sont appliqués à partir des sorties en parallèle d'un registre à décalage RD.

La capacité de comparaison CCl a une valeur  $(k+0,5)C_0$  25 par exemple de sorte que le comparateur détermine essentiellement si le nombre de niveaux logiques "1" stockés dans le registre est supérieur ou non à k.

Une hystérésis peut être prévue à l'aide d'une bascule B (bascule de type D dont le basculement n'est autorisé que pendant 30 la phase d). Cette bascule reçoit la sortie du comparateur et applique son signal de sortie à une capacité d'entrée supplémentaire  $C'_0$ , à travers une porte ET commandée par la phase c.

Le registre à décalage peut recevoir à son entrée en 35 série un niveau logique variable, le décalage étant actionné périodiquement par exemple au début de la phase c. Le comparateur

12

effectue alors une sorte de filtrage antirebondissement en validant un changement d'état du niveau logique d'entrée seulement lorsque ce nouvel état est présent dans plus de k cases du registre, par exemple lorsque ce nouvel état est majoritaire dans 5 le registre ; les changements d'état erratiques au moment de la transition (rebondissements) ne sont alors plus pris en compte car ils ne font pas basculer le comparateur.

En généralisant le schéma de la figure 6, on peut pondérer les capacités d'entrée, auquel cas le circuit devient un 10 circuit de filtrage numérique transversal opérant sur des échantillons binaires, décalés dans le temps par un registre à décalage (ou plusieurs si le filtrage doit être opéré sur des nombres à plusieurs bits). Les coefficients à appliquer à chaque échantillon donné sont déterminés par les valeurs des capacités 15 d'entrée recevant ces bits issus du ou des registres à décalage.

Un tel filtre transversal est tout à fait approprié pour faire du filtrage adapté ou de la corrélation.

## REVENDICATIONS.

1. Comparateur recevant plusieurs signaux logiques d'entrée pour indiquer si la somme, pondérée ou non, de ces signaux est supérieure ou inférieure à une valeur de comparaison, caractérisé par le fait qu'il comporte :

- 5        - un amplificateur inverseur (A) à gain important ;
- N capacités d'entrée (CE1 à CE4) ayant chacune une première armature reliée à l'entrée de l'amplificateur ;
- une capacité de comparaison (CC1) ayant également une première armature reliée à l'entrée de l'amplificateur ;
- 10      - des moyens de commutation (IE1 à IE4, IE'1 à IE'4, IC1, IC'1, ICC, ICS), et un circuit logique de commande de ces moyens, fonctionnant selon essentiellement deux phases d'horloge (b. et c) pour effectuer les commutations suivantes :

  - a) dans une première phase (b), les N capacités d'entrée ont toutes leur seconde armature reliée à un premier niveau logique (VSS) et la capacité de comparaison a sa seconde armature reliée à un second niveau logique (VDD) différent du premier ;
  - b) dans une deuxième phase (c), les secondes armatures des N capacités d'entrée reçoivent les signaux logiques d'entrée (VE1 à VE4), et la seconde armature de la capacité de comparaison est reliée à un potentiel (VC1) qui dépend de la fonction de comparaison à réaliser ;
  - c) à l'intérieur de l'une seulement des deux phases, qui constitue alors une phase initiale de fonctionnement, l'amplificateur est bouclé par un court-circuit entre son entrée et sa sortie.

2. Comparateur selon la revendication 1, caractérisé en ce que dans la deuxième phase (c), la seconde armature de la capacité de comparaison reçoit le premier niveau logique (VSS).

- 30     3. Comparateur selon l'une des revendications 1 et 2, caractérisé en ce que les N capacités d'entrée ont toutes une valeur commune (Co).

4. Comparateur selon la revendication 3, caractérisé en ce que N est impair, que la capacité de comparaison (CC1) a une valeur sensiblement égale à la demi-somme des capacités d'entrée, et que le comparateur a pour fonction de déterminer si une 5 majorité ou une minorité de capacités d'entrée ont été reliées à l'un des deux niveaux logiques.

5. Comparateur selon l'une des revendications 1 à 4, caractérisé en ce que les capacités d'entrée ont des valeurs multiples d'une valeur commune  $C_0$  et que la capacité de comparaison a une valeur comprise entre  $kC_0$  et  $(k+1)C_0$ , de préférence environ  $(k+0,5)C_0$ , où k est un entier. 10

6. Comparateur selon l'une des revendications 1 à 5, caractérisé en ce que les capacités d'entrée ont des valeurs pondérées selon un code binaire, la capacité de plus petit poids 15 ayant une valeur  $C_0$ , et que, durant la deuxième phase (c), les secondes armaturés des capacités d'entrée sont reliées à l'un ou à l'autre des deux niveaux logiques selon les valeurs des chiffres d'un nombre binaire à comparer avec une valeur donnée, chaque chiffre déterminant l'application de l'un des deux niveaux logiques 20 à une capacité d'entrée de même poids binaire que ce chiffre.

7. Comparateur selon l'une des revendications 1 à 6, caractérisé en ce qu'il est prévu plusieurs capacités de comparaison supplémentaires (CC2, CC3, CC4, CC5), ayant toutes une 25 première armature reliée à l'entrée de l'amplificateur et en ce que le circuit logique de commande des moyens de commutation est apte à porter la seconde armature de chacune des capacités de comparaison au deuxième niveau logique (VDD) durant la première phase (b) et à l'un ou l'autre des niveaux logiques durant la deuxième 30 phase (c).

8. Comparateur selon la revendication 7, caractérisé en ce que les capacités de comparaison supplémentaires sont toutes égales à une valeur commune  $C_0$ .

9. Comparateur selon la revendication 8, caractérisé en 35 ce que les capacités de comparaison supplémentaires ont des valeurs pondérées, notamment selon un code binaire, multiples

d'une valeur commune Co.

10. Comparateur selon l'une des revendications 8 et 9, caractérisé en ce que la première capacité de comparaison a une valeur de l'ordre de  $Co/2$ .

5 11. Comparateur selon l'une des revendications 1 à 10, caractérisé en ce qu'une bascule de type D est reliée à la sortie de l'amplificateur et que la sortie de la bascule constitue un signal logique d'entrée pour au moins l'une des capacités d'entrée (C'o), pour établir une hystérésis de fonctionnement du  
10 comparateur.

12. Comparateur selon l'une des revendications 1 à 11, caractérisé en ce que les signaux logiques d'entrée appliqués aux capacités d'entrée durant la deuxième phase (c) sont issues des sorties en parallèle d'un ou plusieurs registre à décalage (RD),  
15 recevant chacun en entrée série un signal logique binaire.

1 / 3

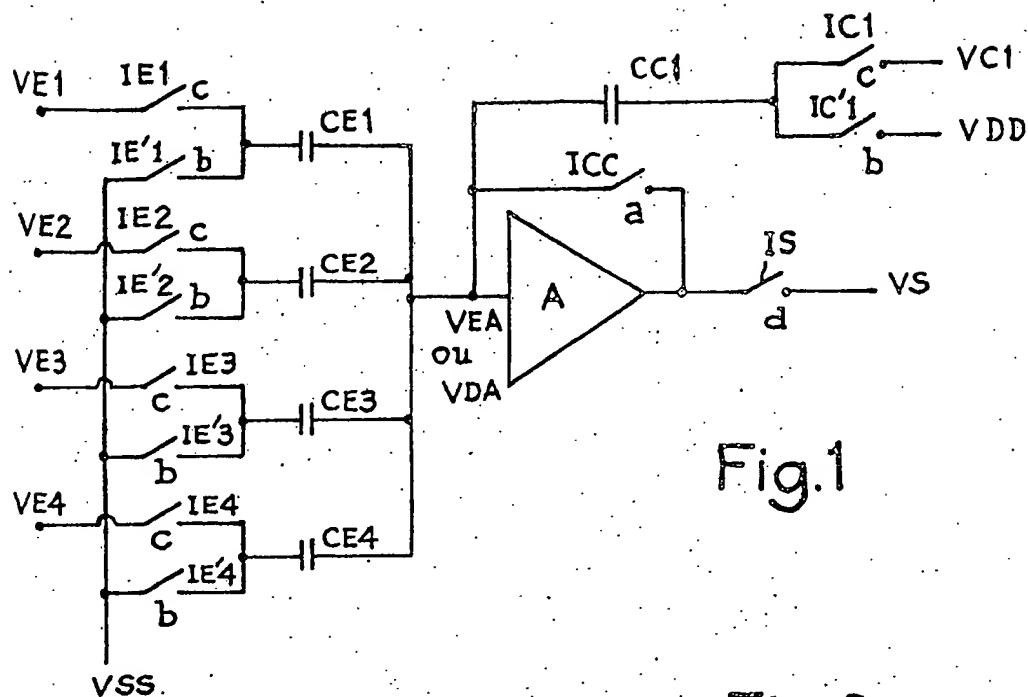


Fig.1

Fig.2

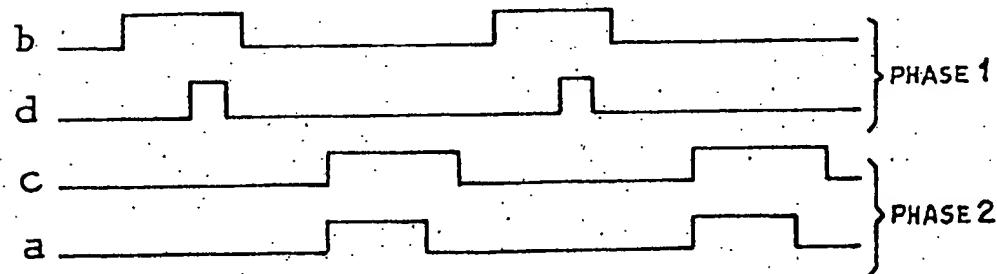
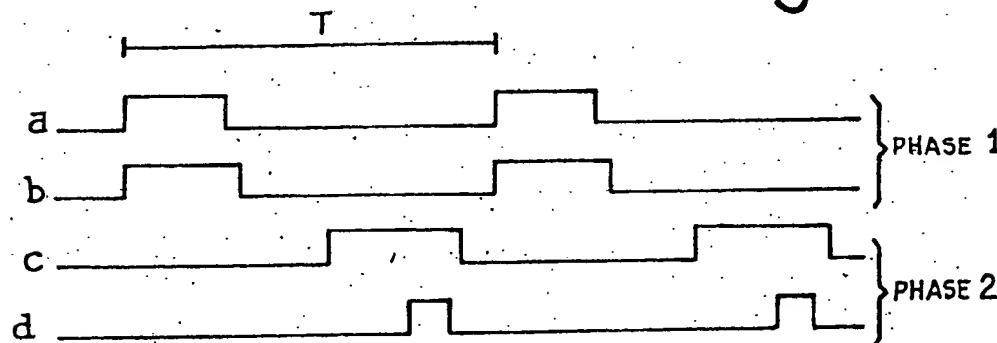
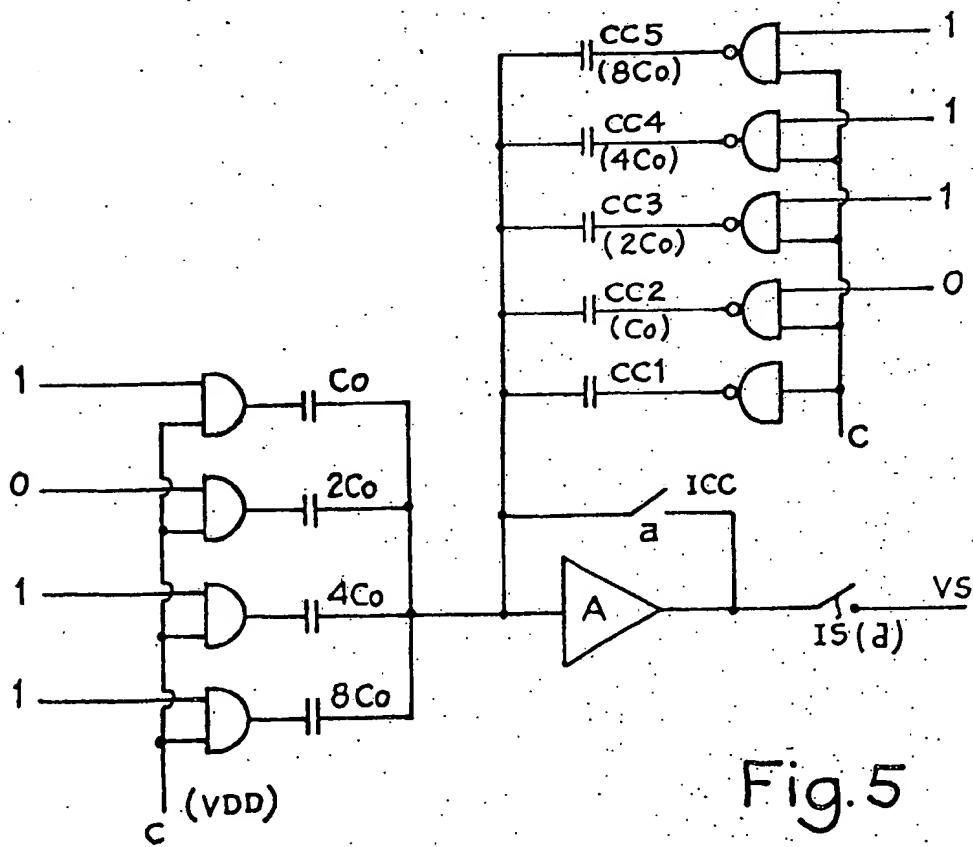
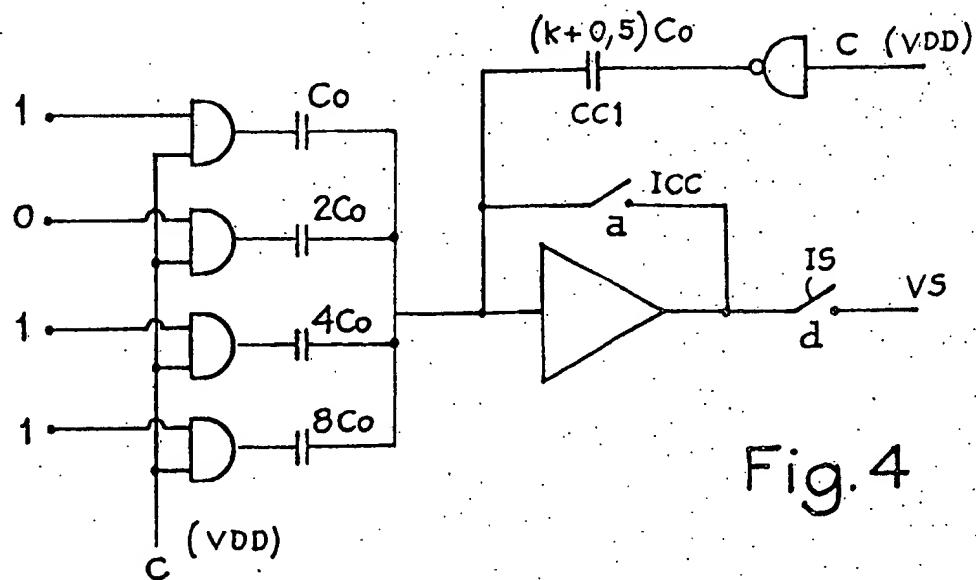


Fig.3

2 / 3



3/3

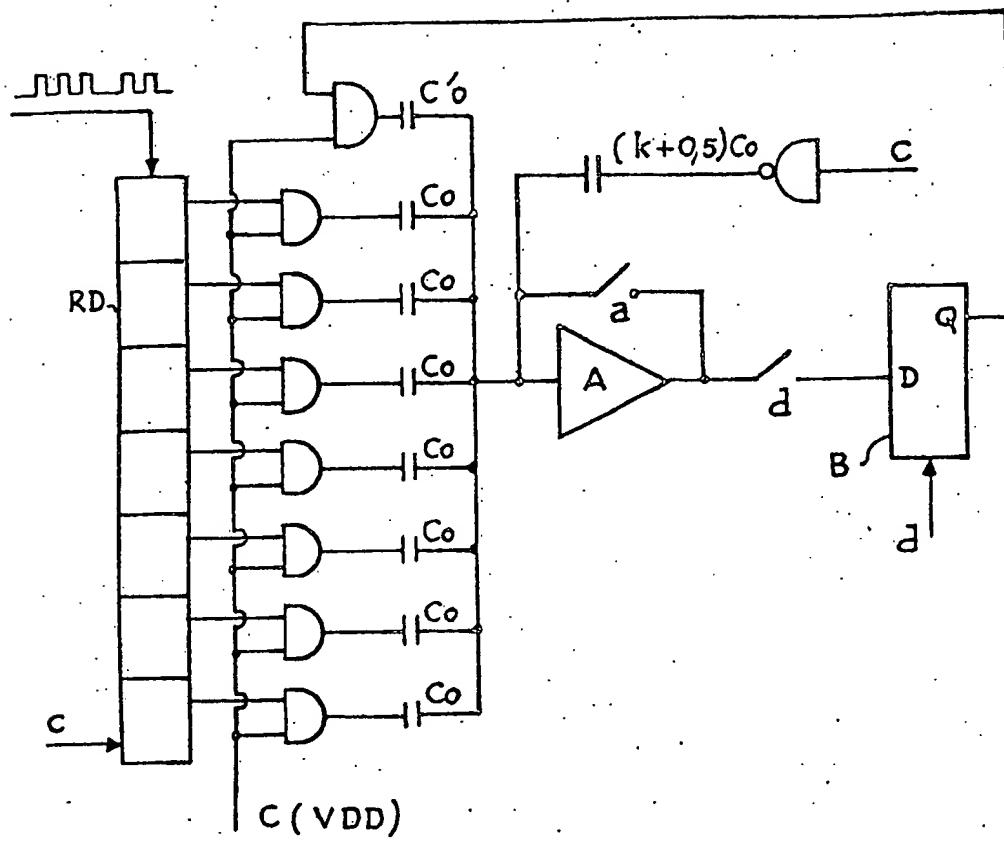


Fig.6